

(12)特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2005年3月10日 (10.03.2005)

PCT

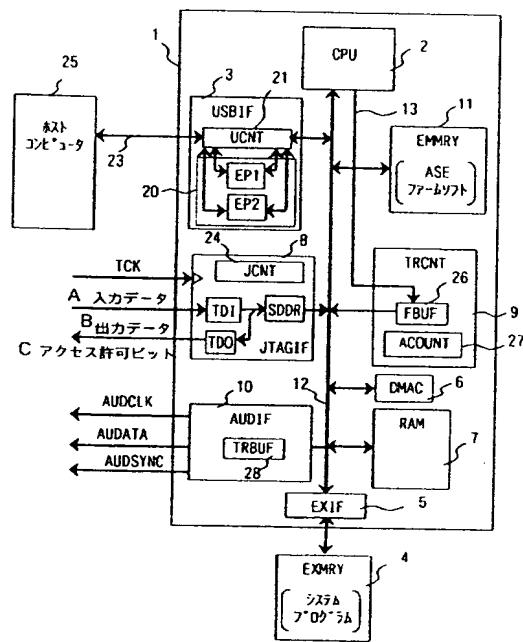
(10) 国際公開番号
WO 2005/022390 A1

- (51) 国際特許分類7:
9/445, 13/38, G01R 31/28 G06F 11/22, 15/78,
CORP.) [JP/JP]; 〒1006334 東京都千代田区丸の内二
丁目4番1号 Tokyo (JP).
- (21) 国際出願番号:
PCT/JP2004/012350 (72) 発明者; および
(22) 国際出願日:
2004年8月27日 (27.08.2004) (75) 発明者/出願人(米国についてのみ): 薄井一雄 (USUI,
日本語 Kazuo) [JP/JP]; 〒1006334 東京都千代田区丸の内二
丁目4番1号 株式会社ルネサステクノロジ内 Tokyo
(JP).
- (25) 国際出願の言語:
日本語 (74) 代理人: 玉村 静世 (TAMAMURA, Shizuyo); 〒1020083
日本語 東京都千代田区麹町5丁目7番地 秀和紀尾井町TBR
ビル813号 Tokyo (JP).
- (26) 国際公開の言語:
日本語 (81) 指定国(表示のない限り、全ての種類の国内保護が
可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR,
BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM,
DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU,
- (30) 優先権データ:
特願2003-304276 2003年8月28日 (28.08.2003) JP
- (71) 出願人(米国を除く全ての指定国について): 株式会
社ルネサステクノロジ (RENESAS TECHNOLOGY)

/続葉有/

(54) Title: MICROCOMPUTER AND METHOD FOR DEVELOPING SYSTEM PROGRAM

(54) 発明の名称: マイクロコンピュータ及びシステムプログラムの開発方法



- 25...HOST COMPUTER
11...EMMRY (ASE FIRMSOFT)
A...INPUT DATA
B...OUTPUT DATA
C...ACCESS PERMISSION BIT
4...EXMRY (SYSTEM PROGRAM)

(57) Abstract: There are included a central processing unit (2); a high-speed serial communication interface circuit, such as a USB interface circuit (3), usable as a debug interface; and an external bus interface circuit (5) connectable to an external memory. The USB interface circuit has a plurality of input buffers (EP1, EP2) therein and is adapted to receive an input by use of one input buffer, while outputting data from the other input buffer. In a debug mode, the USB interface circuit can receive a system program, which can be outputted from the external bus interface circuit together with a memory access control signal. When a target program is downloaded from a host computer to a target system, the data transfer can be performed at a high speed.

(57) 要約: 中央処理装置(2)、デバッグ用インターフェースに利用可能な高速シリアル通信インターフェース回路例えればUSBインターフェース回路(3)、及び外部メモリに接続可能な外部バスインターフェース回路(5)を有する。USBインターフェース回路はその内部に複数の入力バッファ(EP1, EP2)を有し、相互に一の入力バッファに対する入力動作に並行して他の入力バッファからデータを出力可能とされる。デバッグモードにおいて、前記USBインターフェース回路はシステムプログラムを受信し、受信されたシステムプログラムをメモリアクセス制御信号と共に前記外部バスインターフェース回路から出力可能である。ターゲットプログラムをホストコンピュータからターゲットシステムにダウンロードするときのデータ転送を高速化することができる。

WO 2005/022390 A1



ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ヨーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE,

IT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:
— 国際調査報告書

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイドノート」を参照。